

Japanese Publication No. 2002-218185A

(43)公開日 平成14年8月2日(2002.8.2)

102

XAD1

【特許請求の範囲】

【請求項1】 走査光学系により露光走査した原稿のアナログ画像データを光電変換素子を介して取得し、このアナログ画像データに対して画像処理を施してデジタル画像データを生成し、このデジタル画像データを外部装置へ向けて転送する画像読取装置において、前記光電変換素子と、前記走査光学系を駆動する駆動回路と、前記光電変換素子と前記走査光学系との動作をとるタイミング信号を生成するタイミング信号生成回路と、前記画像処理を施す画像処理回路と、前記デジタル画像データを生成するアナログ／デジタル変換回路と、前記デジタル画像データを外部装置へ向けて転送する転送回路と、本装置内の各部からの出力値が入力されるとともに本装置内の各部に対して制御信号を出力する入出力回路とを単一の基板上に設けたことを特徴とする画像読取装置。

【請求項2】 前記駆動回路と、前記タイミング信号生成回路と、前記画像処理回路と、前記アナログ／デジタル変換回路と、前記転送回路と、前記入出力回路とを、単一のASICとして構成したことを特徴とする請求項1記載の画像読取装置。

【請求項3】 前記ASICは、前記基板とは異なる位置に設けられたCPUから出力された駆動信号によって駆動されることを特徴とする請求項2記載の画像形成装置。

【請求項4】 前記ASICは、前記CPUからシリアル通信によって出力された前記駆動信号によって駆動されることを特徴とする請求項3記載の画像読取装置。

【請求項5】 請求項2、3または4記載の画像読取装置と、前記画像読取装置から転送された前記デジタル画像データに基づいてプリント動作を実行する画像形成装置とを備える画像情報処理装置において、前記画像形成装置が備える各部を駆動制御するとともに前記ASICに対して駆動信号を出力するCPUを前記画像形成装置に設けたことを特徴とする画像情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタ等の外部装置に接続されて使用されるカラーイメージスキャナ等の画像読取装置および画像情報処理装置に関する。

【0002】

【従来の技術】従来、走査光学系で露光走査した原稿の画像をCCD等の光電変換素子により読み取ってデジタル画像データとするスキャナ装置と、デジタル画像データに基づいてプリンタエンジンを駆動するプリンタ装置とを備えるデジタル複写機がある。

【0003】スキャナ装置が備える走査光学系は、例えば、ランプおよび複数枚のミラーを搭載するキャリッジをステッピングモータ等の駆動によって走行させること

で、原稿画像を露光走査する。

【0004】プリンタ装置が備えるプリンタエンジンは、例えば、電子写真方式であれば、各種モータの駆動によって感光体や現像器等を回転駆動したり、感光体を露光する露光ランプのON/OFF制御したりすることで、デジタル画像データに基づいた画像を用紙に形成する。プリンタ装置は、例えば、用紙の有無に応じて出力が変化する光センサ等の各種センサを有している。

【0005】ここで、従来のデジタル複写機が備える各部の電氣的接続について図3を参照して作用的に説明する。デジタル複写機100のスキャナ装置101では、走査光学系により露光走査した原稿画像からの反射光を、センサボード102に搭載されたCCD103で光電変換してアナログ画像データとしてアナログ処理部104に出力する。

【0006】アナログ処理部104では、アナログ画像データに対して、サンプルホールド処理、黒レベル補正等の各種画像処理を施した後、A/D変換部105へ出力する。A/D変換部105では、入力されたアナログ画像データをデジタル画像データに変換して画像処理部106に出力する。画像処理部106は、所定の画像処理を施した後、画像データバス等のバスライン107を介して、デジタル画像データをプリンタ部108が備える書込制御部109に伝送する。

【0007】スキャナ装置101では、上述のアナログ処理部104、A/D変換部105、画像処理部106が、単一の画像処理ボード110上に搭載されている。この画像処理ボード110には、スキャナ部101が備える各部を集中的に駆動制御するCPU111が搭載されている。CPU111は、同じく、画像処理ボード110に搭載されたI/O制御部112を介して、ステッピングモータ等の各種モータ113やハロゲンランプ114に出力するON/OFF信号の管理、および、原稿のセットの有無に応じて出力が変化するセットセンサ等の各種センサ115からの出力情報の管理等を行う。

【0008】プリンタ部108では、メイン制御部116が備えるCPU117によって、原稿セットセンサ等の各種センサ118からの出力値を参照し、画像処理部106から伝送された書込制御部109中のデジタル画像データに基づいて、I/O制御部120を介して搬送ローラ等の各種モータ119を駆動することにより画像を形成する。

【0009】このようなデジタル複写機100では、CPU111とCPU117との間でシリアル通信を行うことによって、スキャナ装置101とプリンタ装置108との間でシーケンス制御を実現している。

【0010】ここで、近年の画像データの多値化に伴う画像データ量の膨大化から、画像処理ボード110に搭載されている画像処理部106は、例えば、R(Red)・G(Green)・B(Blue)の3色に色分解されたデジタル画

像データを、該画像データの転送先のプリンタ装置108の設定色に合わせたC(Cyan)・M(Magenta)・Y(Yellow)およびK(Black)の各色の色信号に変換する変換処理等の複雑な制御を要するため、プリンタ装置108の近くに配設されることが望ましい。

【0011】

【発明が解決しようとする課題】近年では、それぞれ独立して構成されたスキャナ装置101とプリンタ装置108とを通信自在に接続することで、上述したデジタル複写機100と同様の機能を実現させるようにした画像情報処理装置がある。

【0012】このような画像情報処理装置では、スキャナ装置101とプリンタ装置108とが、離間した位置に配設される状況が考えられる。

【0013】スキャナ装置101とプリンタ装置108とが離間した位置に配設される状況下では画像処理部106がプリンタ装置108から離間してしまうため、上述の理由から画像処理部106をプリンタ装置108の近くに配設するために、画像処理ボード110のみをプリンタ装置108の近くに配設することが考えられる。

【0014】しかし、一方で、画像処理ボード110をプリンタ装置108の近くに配設した場合、CCD103とアナログ処理部104とが離間することとなる(図3参照)。一般に、CCD103とアナログ処理部104とが離間するほど、CCD103からアナログ処理部104へ伝送される画像データにノイズが発生しやすくなり、読み取った画像データの品質が低下する。

【0015】本発明は、読み取った画像データを外部装置へ向けて転送する画像読取装置および画像読取装置を備える画像情報処理装置のコストパフォーマンスの向上を図ることを目的とする。

【0016】本発明は、読み取った画像データを外部装置へ向けて転送する画像読取装置および画像読取装置を備える画像情報処理装置の小型化を図ることを目的とする。

【0017】本発明は、読み取った画像データを外部装置へ向けて転送する画像読取装置および画像読取装置を備える画像情報処理装置で、光電変換素子から画像処理回路へ伝達される画像データでのノイズの発生の低減を図ることを目的とする。

【0018】

【課題を解決するための手段】請求項1記載の発明の画像読取装置は、走査光学系により露光走査した原稿のアナログ画像データを光電変換素子を介して取得し、このアナログ画像データに対して画像処理を施してデジタル画像データを生成し、このデジタル画像データを外部装置へ向けて出力する画像読取装置において、前記光電変換素子と、前記走査光学系を駆動する駆動回路と、前記光電変換素子と前記走査光学系との動作をとるタイミング信号を生成するタイミング信号生成回路と、前記画像

処理を施す画像処理回路と、前記デジタル画像データを生成するアナログ/デジタル変換回路と、前記デジタル画像データを外部装置へ向けて転送する転送回路と、本装置内の各部からの出力値が入力されるとともに本装置内の各部に対して制御信号を出力する入出力回路とを単一の基板上に設けた。

【0019】したがって、光電変換素子、駆動回路、タイミング信号生成回路、画像処理回路、アナログ/デジタル変換回路、転送回路および入出力回路を一部品化することが可能になり、組み立てに際しての作業効率の向上を図ることができる。また、光電変換素子と画像処理回路とが単一の基板上に設けられていることにより、光電変換素子から画像処理回路へ伝達される画像データでのノイズの発生を抑制することができる。

【0020】請求項2記載の発明は、請求項1記載の画像読取装置において、前記駆動回路と、前記タイミング信号生成回路と、前記画像処理回路と、前記アナログ/デジタル変換回路と、前記転送回路と、前記入出力回路とを、単一のASICとして構成した。

【0021】したがって、駆動回路とタイミング信号生成回路と画像処理回路とアナログ/デジタル変換回路と転送回路と入出力回路とを、単一のASICとして構成することにより、部品の小型化を図るとともに、処理速度の向上を図ることができる。

【0022】請求項3記載の発明は、請求項2記載の画像形成装置において、前記ASICは、外部装置からの所定の駆動信号によって駆動される。

【0023】したがって、本装置内に、本装置の各部を駆動制御するCPUを設ける必要がなくなるため、コストパフォーマンスの向上を図ることができる。

【0024】請求項4記載の発明は、請求項3記載の画像読取装置において、前記ASICは、前記CPUからシリアル通信によって出力された前記駆動信号によって駆動される。

【0025】したがって、本装置内にCPUを有しない場合にも、ASICのシーケンス制御を実現することができる。

【0026】請求項5記載の発明の画像情報処理装置は、請求項2、3または4記載の画像読取装置と、前記画像読取装置から転送された前記デジタル画像データに基づいてプリンタエンジンを駆動する画像形成装置とを備える画像情報処理装置において、前記画像形成装置が備える各部を駆動制御するとともに前記ASICに対して駆動信号を出力するCPUを前記画像形成装置に設けた。

【0027】したがって、画像形成装置側にCPUを設けるだけで、CPUを有しない画像読取装置の各部を駆動制御することができる。

【0028】

【発明の実施の形態】本発明の一実施の形態について図

1および図2を参照して説明する。本実施の形態は、画像読取装置としてカラーイメージスキャナへの適用例を示す。

【0029】図1は、本発明の一実施の形態のカラーイメージスキャナを概略的に示す縦断面図である。フラットベッド型のカラーイメージスキャナ1は、ケーシング2の上面に、原稿3を載置するコンタクトガラス4を備えている。

【0030】コンタクトガラス4の一端部側には、シェーディング補正用の白基準板5が設けられている。

【0031】コンタクトガラス4の下方には、原稿の露光用のハロゲンランプ6および第1反射ミラー7を搭載する第1キャリッジ8と、第2反射ミラー9および第3反射ミラー10を搭載する第2キャリッジ11とが、図示しないステッピングモータ(図2参照)の駆動により、副走査方向(図1中矢印A方向)に往復動自在に設けられている。

【0032】ハロゲンランプ6は、白基準板5やコンタクトガラス4の読取面(図1中下面)に対して所定の角度で光を照射するように設けられている。

【0033】第3反射ミラー10からの反射光路上には、光電変換素子であるCCDリニアイメージセンサ(以下では、単にCCDという)12と、CCD12に結像するためのレンズユニット13とが配設されている。CCD12は、基板としてのセンサボード15に搭載されている。

【0034】白基準板5または原稿3で反射した光は、第1、第2、第3反射ミラー7、9、10およびレンズユニット13を経由してCCD12に入射する。CCD12は入射光量に対応した電圧をアナログ画像データとして出力する。

【0035】ここに、ハロゲンランプ6、第1、第2、第3反射ミラー7、9、10およびレンズユニット13によって、走査光学系14が構成されている。

【0036】カラーイメージスキャナ1は、ステッピングモータ(図2参照)の駆動による第1および第2キャリッジ8、11の走行により原稿3を露光走査する。

【0037】近年、このようなカラーイメージスキャナ1を、プリンタエンジンを備えるプリンタに対して通信自在に拡張接続して、カラーイメージスキャナ1とプリンタとの間でデータ通信を行うことで、カラーイメージスキャナ1とプリンタとによってデジタル複写機としての機能を実現させるようにした画像情報処理装置がある。

【0038】このような画像情報処理装置が備える各部の電気的接続について図2を参照して作用的に説明する。

【0039】図2は、画像情報処理装置が備える各部の電気的接続を示すブロック図である。画像情報処理装置16は、カラーイメージスキャナ1と画像形成装置とし

てのプリンタ17とを備えている。

【0040】カラーイメージスキャナ1におけるCCD12は、走査光学系14の動作により入力された原稿3からの反射光を、この光の強度に応じた電圧値を持つRGB各色のアナログ画像データに変換し、アナログ処理IC18に向けて出力する。以降、画像データの流れを太矢印で示す。

【0041】センサボード15に搭載されたアナログ処理IC18は、CCD12から出力されたアナログ画像データをサンプリングし、連続的なアナログ画像データを生成する。

【0042】本実施の形態では、CCD12およびアナログ処理IC18が単一のセンサボード15上に搭載されている。これにより、CCD12とアナログ処理IC18との間の距離が短くなるので、CCD12からアナログ処理IC18へ伝送されるアナログ画像データにおけるノイズの発生が防止され、読み取った画像データの品質の向上を図ることができる。

【0043】アナログ処理IC18から出力されたアナログ画像データは、センサボード15に搭載されたASIC(Application Specified IC)19に入力される。

【0044】ASIC19は、走査光学系14を駆動する駆動回路と、CCD12と走査光学系14との動作をとるタイミング信号を生成するタイミング信号生成回路と、CCD12を介して取得した画像データに対して画像処理を施す画像処理回路と、デジタル画像データを生成するアナログ/デジタル変換回路と、デジタル画像データを外部装置(プリンタ17)へ向けて転送する転送回路と、各種センサからの出力値が入力されるとともに各種モータに対して制御信号を出力する入出力回路(いずれも図示せず)が、集積された回路構成を有している。

【0045】これにより、ASIC19は、原稿3の読み取りに際しては、タイミング信号生成回路が生成するタイミング信号によって、CCD12とアナログ処理IC18との動作タイミングがとられる。

【0046】また、ASIC19は、アナログ処理IC18から出力されたアナログ画像データに対してA/D変換を行い、デジタル画像データを生成する。

【0047】さらに、ASIC19は、ステッピングモータ等の各種モータ、ハロゲンランプ6のON/OFFを制御するインバータ24等が接続された拡張PSU25への出力信号、あるいは、各種センサ26から出力される入力情報を管理する機能が実現される。

【0048】ここで、各種センサ26は、例えば、コンタクトガラス上での原稿3の有無により出力が変化する原稿セットセンサや、セットされた原稿3のサイズに応じて出力が変化するサイズ検知センサ等がある。

【0049】これによって、各種回路をプリント等によってセンサボード15上に形成することで複数の回路を一部品化することが可能になり、組み立てに際しての作

業効率の向上を図ることができる。

【0050】また、複数の回路を一部品化することによって、これらの各種回路を配設するためのスペースの縮小化を図ることができ、カラーイメージスキャナ1の小型化を図ることができる。

【0051】加えて、特に図示しないが、ASIC19は、後述するCPU27との間で同期シリアル通信を行う機能を備えている。ASIC19は、CPU27からの同期シリアル通信によりコマンドを設定される。同期シリアル通信とすることにより、カラーイメージスキャナ1がCPUを有していなくても、ASIC19による所望の制御を実行することができる。

【0052】デジタル画像データは、センサボード15に搭載されたLDVS(Low Voltage Differential Signaling)インターフェイス(以降、LDVSI/Fという)20を介して、画像処理ボード21に実装されたLDVSI/F22に対してデジタル画像データを出力する。LDVSI/F20、22間は、I/Fケーブル(図示せず)で接続されている。

【0053】ここで、LDVSとは、TIA/EIA-644で規格化されたデータ伝送方式であり、パラレル信号を低電圧差動のシリアル信号に変換して伝送する方式である。

【0054】LDVSを用いたデータ伝送では、小さい電圧変化の差動信号でデータを高速伝送することにより外部からのノイズに強く、伝送ライン上が定電流であることにより負荷条件が変化しても安定して動作するといった特徴がある。

【0055】また、データ転送に際しての電圧の振幅が小さいため、極大または極小点間のスイッチング時間が短時間でよいと、データ転送レートの向上を図ることができる。

【0056】さらに、LDVSを用いたデータ伝送では、5ボルト差動方式と比較して消費電力量が少ないという利点を有している。加えて、データ転送に際して発生する磁界が少なくなり、不平衡型伝送方式に比べてEMI(Electro Magnetic Interference)を低く抑えることができる。

【0057】本実施の形態のLDVSI/F20、22では、1転送クロック当たり7ビットのデータを転送することが可能である。これにより、例えば、バスラインを用いる従来のデータ転送で21本のバスラインを必要としていた場合、本実施の形態では、LDVSI/F20、22間の接続が3組のハーネスで済むことになるため、ハーネス本数の低減を図ることができる。

【0058】LDVSI/F22は、LDVSI/F20から転送されたシリアルデジタル画像データをパラレルデジタル画像データに変換して画像処理IC28に向けて出力する。

【0059】画像処理IC28は、画像処理ボード21

に実装されており、LDVSI/F22から転送されたデジタル画像データに対して、各種画像処理を施す。公知の技術であるため説明を省略するが、画像処理IC28は、例えば、カラーイメージスキャナ1から転送されたデジタル画像データを、Y(イエロー)、M(マゼンタ)、C(シアン)、K(ブラック)の各色の色信号に変換する処理を行う。

【0060】画像処理ボード21には、画像処理ボード21上の各部を集中的に駆動制御するCPU27が実装されている。

【0061】これにより、例えば、R(Red)・G(Green)・B(Blue)の3色に色分解されてカラーイメージスキャナ1から出力されたデジタル画像データを、プリンタ17の設定色に合わせたC(Cyan)・M(Magenta)・Y(Yellow)およびK(Black)の各色の色信号に変換する変換処理等の複雑な処理の実行に際して、CPU27によって画像処理IC28の動作を管理することができ、膨大な量のデータの複雑な処理に容易に対応することができる。

【0062】ところで、従来のデジタル複写機では、図3に示すように、スキャナ装置101を駆動制御するためのCPU111をスキャナ装置101内に備え、原稿画像の読み取りに際しては、このCPU111で発生させた割り込み処理によりステッピングモータ等の各種モータ113の駆動等を行うようにしていた。

【0063】これに対し、本実施の形態では、例えば、ステッピングモータ等の各種モータ23の駆動テーブル(図示せず)をASIC19の内部メモリ(図示せず)に記憶しておくことで、ASIC19でステッピングモータの駆動パルスを生成させ、この駆動パルスによりステッピングモータを駆動することが可能になるので、各種画像処理を行うCPU27における負荷の低減を図ることができる。また、CPU27からシリアル通信によって出力した駆動信号によってASIC19を動作させることにより、カラーイメージスキャナ1にCPUを設けることがないため、カラーイメージスキャナ1のコストパフォーマンスの向上を図ることができる。

【0064】ところで、画像情報処理装置16は、画像情報処理装置16を構成するカラーイメージスキャナ1とプリンタ17とが、物理的に離間した位置に配設されることが考えられる。

【0065】本実施の形態では、LDVSによるデータ転送を行っているため、カラーイメージスキャナ1からプリンタ17へのデジタル画像データの転送の高速化を図ることができる。

【0066】画像処理IC28で各種画像処理が施されたデジタル画像データは、プリンタ17が備えるコントローラ29、エンジンコントローラ30を経由して、書込制御IC31に転送される。

【0067】ここで、画像処理ボード21とコントローラ29とはI/F36によって通信自在に接続され、コ

ントローラ29とエンジンコントローラ30とはI/F37によって通信自在に接続されている。I/F36, 37は、ボードとボードとを接続するインターフェイスである。

【0068】コントローラ29、エンジンコントローラ30は、ともに、CPU32, 33を有しており、エンジンコントローラ30のCPU33は、書込制御IC31の他に、プリンタエンジン(図示せず)等の用紙上への画像形成に係る各部を集中的に駆動制御する。用紙上への画像形成に係る各部としては、例えば、用紙を搬送する搬送ローラを回転させる搬送モータや感光体を駆動する駆動モータあるいはポリゴンミラーを回転させるポリゴンモータ等の各種モータ34、用紙位置やジャム等を検出する光センサ等の各種センサ35等がある。

【0069】エンジンコントローラ30のCPU33は、書込制御IC31に伝送されたデジタル画像データに基づいて各種モータを駆動することにより、カラーイメージスキャナ1で読み取った原稿3の画像を用紙に複写形成する。

【0070】

【発明の効果】請求項1記載の発明の画像読取装置によれば、光電変換素子、駆動回路、タイミング信号生成回路、画像処理回路、アナログ/デジタル変換回路、転送回路および入出力回路をプリント等によって一部品化することが可能になり、組み立てに際しての作業効率の向上を図ることができる。また、光電変換素子と画像処理回路とが単一の基板上に設けられていることにより、光電変換素子から画像処理回路へ伝達される画像データでのノイズの発生を抑制することができる。

【0071】請求項2記載の発明によれば、請求項1記載の画像読取装置において、駆動回路とタイミング信号生成回路と画像処理回路とアナログ/デジタル変換回路

と転送回路と入出力回路とを、単一のASICとして構成することにより、部品の小型化を図るとともに、処理速度の向上を図ることができる。

【0072】請求項3記載の発明によれば、請求項2記載の画像形成装置において、本装置内に、本装置の各部を駆動制御するCPUを設ける必要がなくなるため、コストパフォーマンスの向上を図ることができる。

【0073】請求項4記載の発明によれば、請求項3記載の画像読取装置において、本装置内にCPUを有しない場合にも、ASICのシーケンス制御を実現することができる。

【0074】請求項5記載の発明の画像情報処理装置によれば、画像形成装置側にCPUを設けるだけで、CPUを有しない画像読取装置の各部を駆動制御することができる。これによって、画像読取装置のコストパフォーマンスの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のイメージスキャナを概略的に示す断面図である。

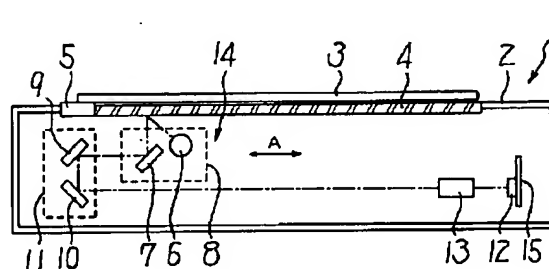
【図2】画像情報処理装置が備える各部の電気的接続を概略的に示すブロック図である。

【図3】従来のデジタル複写機が備える各部の電気的接続を概略的に示すブロック図である。

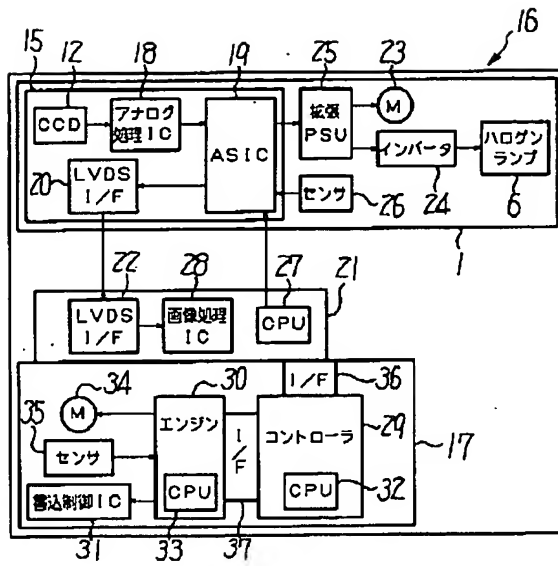
【符号の説明】

1	画像読取装置
12	光電変換素子
14	走査光学系
15	基板
16	画像情報処理装置
17	画像形成装置
19	ASIC
27	CPU

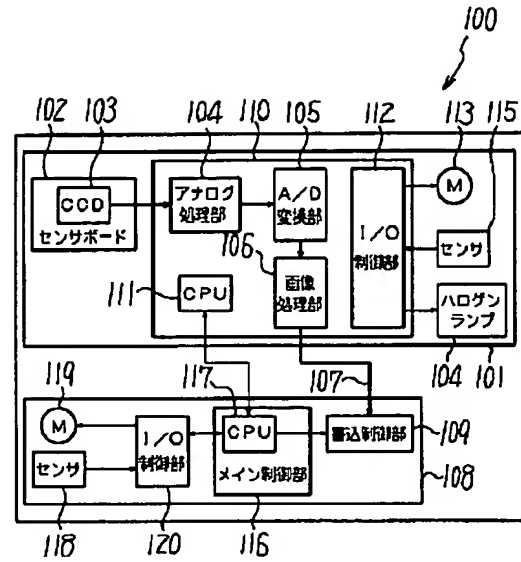
【図1】



【図2】



【図3】



PAT-NO: JP02002218185A

DOCUMENT-IDENTIFIER: JP 2002218185 A

TITLE: IMAGE READER AND IMAGE INFORMATION PROCESSING UNIT

PUBN-DATE: August 2, 2002

INVENTOR-INFORMATION:

NAME

WADA, SHINICHIRO

COUNTRY

N/A

INT-CL (IPC): H04N001/19, G03B027/50 , H04N001/00

ABSTRACT:

PROBLEM TO BE SOLVED: To enhance the assembling efficiency.

SOLUTION: The image reader 1 that transfers analog image data acquired via a photoelectric conversion element 12 externally as digital image data, is provided with the photoelectric conversion element 12, a timing signal generating circuit, an image processing circuit, an analog/digital converter circuit, a transfer circuit, and an input output circuit, which are mounted on a single board 15. Thus, the assembling efficiency can be enhanced. Furthermore, production of noise in image data transferred from the photoelectric conversion element 12 to the image processing circuit can be suppressed.

COPYRIGHT: (C)2002,JPO

----- KWIC -----

Abstract Text - FPAR (2):

SOLUTION: The image reader 1 that transfers analog image data acquired via a photoelectric conversion element 12 externally as digital image data, is provided with the photoelectric conversion element 12, a timing signal

generating circuit, an image processing circuit, an analog/digital converter circuit, a transfer circuit, and an input output circuit, which are mounted on a single board 15. Thus, the assembling efficiency can be enhanced. Furthermore, production of noise in image data transferred from the photoelectric conversion element 12 to the image processing circuit can be suppressed.

Title of Patent Publication - TTL (1):

IMAGE READER AND IMAGE INFORMATION PROCESSING UNIT